

Stage : Mise en place d'une méthodologie de vérification formelle appliquée à des fonctions numériques de capteur d'image

Durée du stage : 6 mois

Niveau d'études souhaité : Troisième année d'école d'ingénieur

Entreprise Pyxalis : Conception de circuits intégrés spécialisés en capture d'image

Lieu : Zone d'activité Centr'Alp à Moirans (10 minutes de Grenoble)



L'ENTREPRISE

Tu as envie de t'investir au sein d'une entreprise à taille humaine, dynamique et en croissance ? Notre orientation stratégique est alignée avec les valeurs que nous portons centrées sur l'Humain et la Planète : **l'Originalité**, le **Bien-vivre**, **l'Authenticité** et la **Responsabilité**.

Pyxalis est implantée depuis 2010 au cœur de la région grenobloise, terre d'excellence et d'innovation. Société indépendante d'environ 50 personnes, nous sommes spécialisés dans le développement et la vente de capteurs d'images innovants et de solutions associées.

Au plus proche de nos clients, nous focalisons notre action sur 3 piliers marché principaux : la **santé**, la **sécurité** et **l'environnement**. Notre offre est la fois composée de produits sur-mesure et d'autres disponibles sur étagère.

N'attends plus et rejoins nous !



DESCRIPTION DU STAGE

Objectif :

Mise en place d'une méthodologie de vérification numérique par approche « formelle ».

Description du stage :

Traditionnellement, les fonctions numériques d'un ASIC sont vérifiées par simulations fonctionnelles. Celles-ci sont basées sur des scénarios de tests, mis au point par les concepteurs de ces fonctions. Cette méthode a ses limites, puisqu'elle ne vérifie que ce qui est couvert par ces scénarios.

L'approche formelle offre un tout autre angle de vue sur la vérification. En effet, à partir d'une description comportementale des sorties et des entrées du bloc à vérifier, elle permet de couvrir l'ensemble des cas reliant ces entrées à ces sorties.

L'objectif de ce stage est la mise au point d'une méthodologie de vérification formelle, appliquée à deux blocs cruciaux présents dans les capteurs d'image Pyxalis. Ces blocs (timer et timer compare) sont au coeur des bases de temps du capteur, garantissant le bon séquençement des images.

La mise au point de cette méthodologie et son application à ces deux fonctions permettra finalement d'améliorer la qualité de ces blocs ($\Leftrightarrow$ à diminuer les bug) en augmentant la couverture de vérification.

Lors du stage, tu dérouleras les étapes suivantes :

- Ton premier travail sera de comprendre la fonctionnalité de ces deux blocs, en étudiant leur spécification, et en te basant sur des simulations fonctionnelles.
- Tu étudieras ensuite dans la littérature les méthodologies de vérification formelle.
- Puis, tu te concentreras sur l'application d'une méthodologie aux deux blocs identifiés, en codant des assertions en langage SVA. Tu travailleras avec l'outil JasperGold de Cadence. Tu identifieras (surement) des bugs, et les corrigeras.
- Tu réaliseras enfin une vérification formelle d'un assemblage de ces deux blocs. En se basant sur le travail effectué unitairement.
- Pour finir, tu vérifieras que les assertions mises en place ne se déclenchent pas lors des simulations fonctionnelles. Tu en profiteras pour améliorer le testbench unitaire des blocs.
- Tout au long de ce processus, tu devras t'assurer que l'environnement de vérification mis en place soit automatisable ($\Leftrightarrow$ non-régression automatique, extraction de reports d'erreurs automatiques)



CONNAISSANCES MISES EN JEU

- Vérification d'un bloc numérique
- Méthodologie de vérification formelle
- Codage des assertions en SVA (SystemVerilog pour les Assertions).
- Correction des bugs en VHDL
- Amélioration testbench en systemVerilog
- Utilisation du cockpit de vérification formelle JasperGold de Cadence
- Utilisation de l'outil de simulation Xcelium de Cadence, et du visualiseur Simvision
- Gestion de révision par GIT / Gitlab
- Langue anglaise (pour lecture et écriture des documentations)
- Rigueur, pragmatisme, patience et autonomie seront nécessaires pour atteindre l'objectif du stage.



VOS GAINS ET APPRENTISSAGES CLÉS

- Ce stage te permettra d'appréhender les défis de la vérification numérique, étape clé du flow de conception de circuits intégrés. Tu découvriras une méthodologie de vérification moderne, la vérification formelle.
- Tu progresseras dans l'utilisation de langages à l'état de l'art dans le domaine de la vérification (SystemVerilog, et SystemVerilog pour les assertions).
- Tu utiliseras des outils couramment utilisés dans le domaine de la microélectronique numérique (Cadence JasperGold / Xcelium)
- Tu mettras en œuvre un processus complet de vérification, nécessitant une planification rigoureuse de ton travail en différentes étapes. Cette capacité d'organisation sera extrêmement importante dans ton futur métier d'ingénieur.
- Enfin, tu évolueras dans un environnement réactif te permettant de satisfaire les objectifs fixés ensemble au début du stage. Le suivi de ton projet sera effectué périodiquement dans le respect des règles de qualité mises en place au sein de l'entreprise.



ENCADREMENT DU STAGE

- Tu seras encadré.e par Pierre-Adrien Pinoncely, manager technique de l'équipe de conception numérique
- Tu seras accompagné.e par le tuteur pendant toute la durée du stage. Un temps dédié sera alloué pour la rédaction du rapport de stage avec les outils de l'entreprise à disposition.
- 35h par semaine
- Stage rémunéré
- pierre-adrien.pinoncely@pyxalis.com

